

⑤ Int. Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月20日

H 01 L 21/60

3 1 1 S

6918-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体素子実装用回路基板

⑰ 特 願 平1-128444

⑱ 出 願 平1(1989)5月22日

⑲ 発 明 者	齊 藤	宏	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	高 見	茂 成	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	橋 爪	二 郎	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 出 願 人	松下電工株式会社		大阪府門真市大字門真1048番地	
⑲ 代 理 人	弁理士 佐藤 成示		外1名	

明 細 書

1. 発明の名称

半導体素子実装用回路基板

2. 特許請求の範囲

(1) 回路基板上に形成したリード上にポリイミド系樹脂からなる緩衝層を設け、その緩衝層上に一端に電極パンプが形成された上層リードを設けると共に、その他端を前記下層のリードと接続して成る半導体素子実装用回路基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体素子の実装に用いられる回路基板の構造に関するものである。

〔従来技術〕

従来、半導体素子を回路基板にギャングボンディングする場合、第2図に示すように、基板1上のリード2に形成された電極パンプ3と、半導体素子4に形成されたA2パッド5とを熱圧着により接合する方法が採られている。

(発明が解決しようとする課題)

しかしながら、かかる従来例においては第3図に示すように、半導体素子4と基板(例えばセラミック系)1の熱膨張率が異なるため(半導体素子は約 $3.5 \times 10^{-6}/^{\circ}\text{C}$ 、セラミック系基板は約 $7 \times 10^{-6}/^{\circ}\text{C}$)、電極パンプ(例えばAu)と半導体素子4の接合部に応力Fが図示の如く発生し、接合面である合金層(Au-A2)が破壊され、半導体素子4が電極パンプ3から剥離するという問題があった。この問題は、特にヒートサイクル試験において顕著であり、半導体素子の大型化を阻害する要因となっていた。

本発明は上記問題点に鑑みてなされたもので、その目的とするところは、半導体素子が電極パンプから剥離する恐れのない半導体素子実装用回路基板を提供することにある。

(課題を解決するための手段)

本発明は上記課題を解決するため、回路基板上に形成したリード上にポリイミド系樹脂からなる緩衝層を設け、その緩衝層上に一端に電極パンプが形成された上層リードを設けると共に、その他

端を前記下層のリードと接続したことを特徴とするものである。

(作用)

回路基板上の下層リードと上層リード間のポリイミド系樹脂からなる緩衝層により、電極パンプと半導体素子の接合面で発生する応力が吸収されると共に、上層リードの弾力によっても接合面で発生する応力が吸収される。

(実施例)

第1図は本発明の一実施例を示すもので、図において、1はセラミック系の回路基板で、その上にはリード2が形成されている。7はリード2上に形成されたポリイミド系樹脂からなる緩衝層、8は緩衝層7上に形成された上層リードで、その一端には電極パンプ3が形成され、他端は前記下層リード2とある一定の間隔 h をおいて接続されている。4は半導体素子、5は半導体素子4に形成されたA₂パッド、6は電極パンプ3とA₂パッド5間に形成された合金層である。なお、下層リード2の先端は上層リード8との接続部よ

り突出している($h_2 > 0$)。

次に、上記実施例に係る製法を説明する。

まず、上面にリード2を形成した回路基板(例えばセラミック系基板)1上にポリイミド系樹脂をスピン又はロールコートし、このポリイミド系樹脂を例えばフォトリソグラフィエッチングで所望形状(リード2の先端の一部を被覆する形状)に形成し、緩衝層7とする。次に、緩衝層7の上に上層リード8を例えば無電解メッキ、蒸着等で形成する。そして、上層リード8の先端に電極パンプ3を形成する。電極パンプ3の材質は、例えばAu、Cu、Fe系の合金である。この電極パンプ3の形成は、上層リード8上にレジスト(ポジタイプ又はネガタイプ)を塗布し、露光現像して電極パンプ形成箇所に窓明けを行い、無電解メッキ等によりパンプ材料の金属を堆積させることにより形成する。

最後に、上述のようにして形成された回路基板に半導体素子4を搭載する。この方法は、半導体素子4のA₂パッド5部分と前記電極パンプ3を

対向させ、電極パンプ3とA₂パッド5とを熱圧着法による拡散により接合する。この接合により、電極パンプ3と半導体素子4のA₂パッド5間には合金層6が形成される。

なお、本発明は上記実施例に限定されるものではないのは勿論であり、例えば、基板1はセラミック系に限定されない。

(発明の効果)

本発明は上記のように、基板上の下層リードと上層リード間にポリイミド系樹脂からなる緩衝層を介在させたことにより、電極パンプと半導体素子の接合部において、基板と半導体素子の熱膨張率の差から発生する応力が、緩衝層及び上層リードの弾力により吸収され、コンプライアンス(応力吸収性)のある電極付リード構造を有する半導体素子実装用回路基板を提供できる。従って、本発明によれば、耐ヒートサイクル性の向上が図れ、半導体素子の大型化が可能となる。また、半導体素子と電極パンプの接合は、安定した熱圧着による合金層で形成されているので、信頼性も充分

確保できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図、第2図及び第3図はそれぞれ従来例を示す断面図である。

1…回路基板、2…下層リード、3…電極パンプ、4…半導体素子、5…パッド、6…合金層、7…緩衝層、8…上層リード。

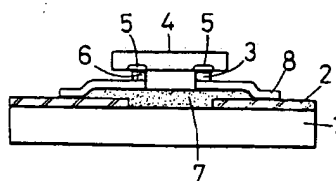
特許出願人

松下電工株式会社

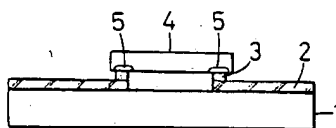
代理人 弁理士 竹元敏丸

(ほか2名)

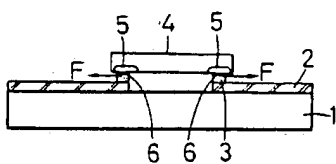
第1図



第2図



第3図



PAT-NO: JP402306641A

DOCUMENT-IDENTIFIER: JP 02306641 A

TITLE: CIRCUIT BOARD FOR MOUNTING
SEMICONDUCTOR DEVICE

PUBN-DATE: December 20, 1990

INVENTOR-INFORMATION:

NAME

SAITO, HIROSHI

TAKAMI, SHIGENARI

HASHIZUME, JIRO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP01128444

APPL-DATE: May 22, 1989

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/701, 361/760

ABSTRACT:

PURPOSE: To prevent a semiconductor element from exfoliating from an electrode bump by interposing a buffer layer composed of polyimide based resin between the lower layer lead and the upper layer lead on a board.

CONSTITUTION: A buffer layer 7 composed of polyimide based resin is formed on a lead 2 formed on a circuit board 1. An upper layer lead 8 on which an electrode bump 3 is formed is arranged on the buffer layer

7, and the other end of said lead 8 is connected with the lower layer lead 2. As a result, the stress generated on a junction surface of the electrode bump 3 and a semiconductor device 4 is absorbed by the buffer layer 7 between the lower layer lead 2 and the upper layer lead 8, and further the stress generated on the junction surface is absorbed also by the elastic force of the upper layer lead 8. Thereby the reliability of the junction of the semiconductor device and the electrode bump can be sufficiently maintained.

COPYRIGHT: (C)1990, JPO&Japio